

ELE-5100 (74510)

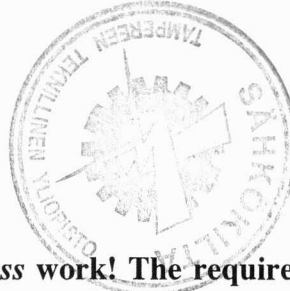
Integroidut Digitaalipiirit

Tentti 7.11.2005

Älä löpertele - pisteitä ei jaeta viivottimella! Jaossa olevien pisteiden määrä heijastelee kaivattua perusteellisuuden astetta.

1. a) Suunnittele transistoritasolla XOR-portin komplementääri-CMOS-toteutus. (2 p)
b) Suunnittele 2 x 2 kertoja käyttäen full-adder -lohkoja. (2 p)
c) Mikä on perus- carry-lookahead -yhteenlaskupiirin toimintaidea? (2 p)
2. NMOS-transistori, rakenne, esimerkki-layout, toiminta ja ominaisuudet. (6 p)
3. Latch-up CMOS-piireissä. Fyysinen tausta, kytkentä, vaikutus ja käytännön välttäminen. Piirrä ja selitä. (6 p)
4. a) Esivaraus-evaluointi NANDin esimerkkikytkentä. (2 p)
b) Millä johdotuskerroksella signaalit etenevät nopeiten? Miksi? (2 p)
c) Miksi kellotaajuuden pienentäminen on tärkeää vähäisen tehonkulutuksen CMOS -piireissä? (2 p)

Same in English:



Answer shortly - save us both from *pointless* work! The required thoroughness is reflected by the number of available points per question.

1. a) Design a XOR-gate at transistor-level using complementary-CMOS circuit. (2 p)
b) Design a 2 x 2 multiplier using full-adder cells. (2 p)
c) What is the principal idea of the basic carry-lookahead adder? (2 p)
2. a) The structure, sample layout, operation and characteristics of an NMOS transistor. (6 p)
3. a) Latch-up in CMOS circuits. Physical background, circuit, effect and practical avoidance. Draw and explain. (6 p)
4. a) Sample schematics of a precharge-evaluate NAND. (2 p)
b) On which routing level the signals travel the fastest? Why? (2 p)
c) Why is the reduction of clock frequency important in designing low-power CMOS circuits?(2 p)

12 p = 1, 15 p = 2, 17 p = 3, 20 p = 4, 22 p = 5